

DIALOG(R)File 347:JAPI0

(c) 2000 JPO & JAPI0. All rts. reserv.

05279183

TFT- EL DISPLAY PANEL USING ORGANIC ELECTROLUMINESCENT MEDIUM

PUB. NO. : 08-234683 [JP 8234683 A]

PUBLISHED: September 13, 1996 (19960913)

INVENTOR(s): CHIN WAN TAN

BIEI CHIEN SEI

APPLICANT(s): EASTMAN KODAK CO [000707] (A Non-Japanese Company or
Corporation), US (United States of America)

APPL. NO. : 07-323195 [JP 95323195]

FILED: December 12, 1995 (19951212)

PRIORITY: 7-355,742 [US 355742-1994], US (United States of America),
December 14, 1994 (19941214)

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

010782878 **Image available**

WPI Acc No: 96-279831/199629

Flat panel display for lap top computers - comprises thin-film transistor electroluminescent pixels and addressing scheme incorporating two thin-film transistors with storage capacitor enabling pixels to operate at duty factor near 100%

Patent Assignee: EASTMAN KODAK CO (EAST)

Inventor: HSEIH B C; TANG C W

Number of Countries: 005 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
EP 717446	A2	19960619	EP 95119100	A	19951205	H01L-027/15	199629 B
JP 8234683	A	19960913	JP 95323195	A	19951212	G09F-009/30	199647
US 5684365	A	19971104	US 94355742	A	19941214	H01L-027/12	199750

Priority Applications (No Type Date): US 94355742 A 19941214

Cited Patents: No-SR. Pub

Patent Details:

Patent	Kind	Lan	Pg	Filing	Notes	Application	Patent
EP 717446	A2	E	16				

Designated States (Regional): DE FR GB

JP 8234683 A 11

US 5684365 A 13

Abstract (Basic): EP 717446 A

The display includes two thin-film transistors and a storage capacitor deposited on a substrate. The gate of the second connected to the drain of the first. A display anode layer is connected to the second drain.

A dielectric passivation layer (74) is deposited with an opening over the anode layer. The edge here is tapered so that the bottom of the passivation layer extends further over the anode layer. An organic electroluminescent layer (82) is then positioned over the anode layer. A cathode layer is placed over the electroluminescent layer.

ADVANTAGE - Has improved resolution, low power consumption and eliminates need for EL cathode patterning.

Dwg. 5/9

Abstract (Equivalent): US 5684365 A

An electroluminescent flat panel display comprising: a substrate having top and bottom surfaces; and having disposed on said substrate a plurality of pixels, each of said pixels comprising:

a) a first thin-film-transistor disposed over the top surface of said substrate, wherein said first thin-film-transistor comprises a source electrode, a drain electrode, a gate dielectric, and a gate electrode; and wherein said gate electrode comprises a portion of a gate bus;

b) a second thin-film-transistor disposed over the top surface of said substrate; wherein said second thin-film-transistor comprises a source electrode, a drain electrode, a gate dielectric, and a gate electrode; wherein said gate electrode is electrically connected to said drain electrode of said first thin-film-transistor;

c) a capacitor disposed over the top surface of said substrate; said capacitor comprising top and bottom electrodes;

d) a display anode layer electrically connected to said drain electrode of said second thin-film-transistor;

e) a dielectric passivation layer overlying said first and second thin-film-transistors and said capacitor; said dielectric passivation layer having an opening over said anode layer; and further wherein said passivation layer has a tapered edge at said opening such that the bottom edge of said passivation layer extends further over said anode layer than does the top edge of said passivation layer wherein said tapered edge is tapered at an angle of 10 deg. to 30 deg. with respect to the surface of said anode layer;

f) an organic electroluminescent layer positioned directly on the top surface of said anode layer; wherein said organic electroluminescent layer is insulated from said first and second thin-film-transistors, and said capacitor, by said passivation layer; and

g) a cathode layer positioned directly on the top surface of said organic electroluminescent layer;

and further comprising a plurality of column leads connected to the source electrode of said first thin-film-transistor on each pixel and a

plurality of row leads connected to the gate electrode of said first thin-film transistor on each pixel and a plurality of ground leads connected to said capacitor of each pixel.

Dwg. 2, 7/9

Derwent Class: P85; U12; U14

International Patent Class (Main): G09F-009/30; H01L-027/12; H01L-027/15

International Patent Class (Additional): G09F-013/22; H05B-033/20

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-234683

(43) 公開日 平成8年(1996)9月13日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 F 9/30	3 6 5	7426-5H	G 0 9 F 9/30	3 6 5 D
			13/22	A
H 0 5 B 33/20			H 0 5 B 33/20	

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願平7-323195

(22) 出願日 平成7年(1995)12月12日

(31) 優先権主張番号 3 5 5 7 4 2

(32) 優先日 1994年12月14日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000846

イーストマン コダック カンパニー
アメリカ合衆国, ニューヨーク14650, ロ
チェスター, ステイト ストリート343

(72) 発明者 チン ワン タン

アメリカ合衆国 ニューヨーク 14625
ロチェスター パーク・レーン 176

(72) 発明者 ビエイ チェン セイ

アメリカ合衆国 ニューヨーク 14534
ピッツフォード サドルブルック・ロード
11

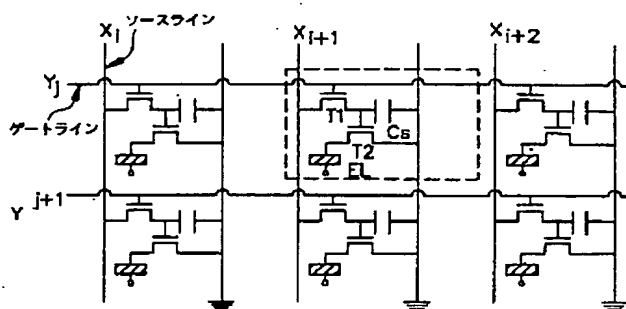
(74) 代理人 弁理士 伊東 忠彦 (外1名)

(54) 【発明の名称】 有機エレクトロルミネセンス媒体を用いたTFT-EL表示パネル

(57) 【要約】

【課題】 薄膜トランジスタエレクトロルミネセンス (TFT-EL) 画素からなる平面パネルを提供する。

【解決手段】 2つのTFT及び記憶コンデンサーはパネル上のEL画素が100%近いデューティ係数で動作しうるために用いられる。TFT-ELデバイスはEL陰極をパターン化する必要を除去し、斯くして高解像度を確立すると同様にEL画素の輪郭を描く過程を顕著に簡単化する。TFT-ELパネルは特にスクリーンの使用係数が1より小さいときに従来技術のTFT-LCDパネルより少ない電力を消費する。



【特許請求の範囲】

【請求項1】 上面及び底面を有し、その上に複数の画素を配置された基板よりなるエレクトロルミネセンス平面パネル表示器であって、該画素の各々は：

- a) 該基板の上面上に配置され、ソース電極とドレイン電極とゲート誘電体とゲート電極とからなり、該ゲート電極はゲートバス的一部分からなる第一の薄膜トランジスタと；
 - b) 該基板の上面上に配置され、ソース電極とドレイン電極とゲート誘電体とゲート電極とからなり、該ゲート電極は該第一の薄膜トランジスタのドレイン電極に電気的に接続される第二の薄膜トランジスタと；
 - c) 該基板の上面上に配置され、上部及び底部電極からなるコンデンサと；
 - d) 該第二の薄膜トランジスタのドレイン電極に電気的に接続された表示陽極層と；
 - e) 該第一及び第二の薄膜トランジスタと該コンデンサとをオーバーレイし、該陽極層上に開口を有し、底端が該陽極層上に上端より更に延在するように該開口でテーパーを有する端を有する誘電パシベーション層と；
 - f) 該陽極層の上面上に直接配置され、該パシベーション層により該第一及び第二の薄膜トランジスタと該コンデンサとから絶縁される有機エレクトロルミネセンス層と；
 - g) 該有機エレクトロルミネセンス層の上面上に直接配置される陰極層と；
- からなり、各画素上の該第一の薄膜トランジスタのソース電極に接続された複数の列リードと、各画素上の該第一の薄膜トランジスタのゲート電極に接続された複数の行リードと、各画素上の該コンデンサに接続された複数の接地リードとを更に含むエレクトロルミネセンス平面パネル表示器。

【請求項2】 該陰極は該複数の画素をオーバーレイする連続シートである請求項1記載の平面パネル表示器。

【請求項3】 1000行と1000列を有し、該画素のそれぞれは約0.2mm×0.2mmであり、約20fLの時間平均輝度を有し、作動中に約7ワットより小さな電力消費を有する請求項1記載の平面パネル表示器。

【発明の詳細な説明】

【0001】 関連する出願の相互参照

Tang等によるアメリカ国特許出願08/355786「An Electroluminescent Device Having an Organic Electroluminescent Layer」及びTang等によるアメリカ国特許出願08/355940「A Method of Fabricating a TFT-EL Pixel」は両方とも同時に出願され、その記述をここに引用する。

【0002】

【発明の属する技術分野】 本発明は能動マトリックスアドレッシング要素として薄膜トランジスタ（TFT）と放射媒体として有機エレクトロルミネセンス薄膜とを用いたエレクトロルミネセンス表示パネルに関する。

【0003】

【従来の技術】 フラットパネル表示器（FPD）技術の急速な発展は高品質大領域、フルカラー、高解像度表示器を可能にした。これらの表示器はラップトップコンピュータやポケットTVのような電子製品での新たな応用を可能にした。これらのFPD技術の中で液晶表示器

（LCD）は市場での表示器の選択として出現した。それはまた他のFPD技術が比較される技術標準を設定した。LCDパネルの例は以下を含む：（1）ワークステーション用の14"、16-カラーLCDパネル（IBMと東芝、1989年）（K. Ichikawa, S. Suzuki, H. Matino, T. Aoki, T. Higuchi, Y. Oano等によるSID Digest, 226（1989）を参照）、（2）6"フルカラーLCD-TV（フィリップス、1987年）

（M. J. Powell, J. A. Chapman, A. G. Knapp, I. D. French, J. R. Hughes, A. D. Pearson, M. Allison, M. J. Edwards, R. A. Ford, M. C. Hemmings, O. F. Hill, D. H. Nicholls, N. K. Wright等によるProceeding, International Display Conference, 63, 1987を参照）、（3）4"フルカラーLCD-TV（モデルLQ424A01）（model LQ424A01用のSharp Corporation Technical Literatureを参照）、（4）1メガ画素カラーTFT-LCD（ゼネラルエレクトリック）（D. E. Castleberry, G. E. PossinによるSID Digest, 232（1988）を参照）。特許及び出版物を含む全ての参考文献は以下で完全に再現されるようにここに引用する。

【0004】 これらのLCDパネル内の共通の特徴は能動アドレッシング方式で薄膜トランジスタ（TFT）の使用であり、これは直接アドレッシング（S. MorozumiによるAdvances in Electronics and Electron Physics, P. W. Hawkes編集, Vol. 77, Academic Press 1990を参照）の制限を緩和する。LCD技術の成功は大領域TFT（主にアモルファスシリコンTFT）の製造の急速な進歩によることが大部分である。TFTスイッチング特性と電子光学LCD表示要素との間のほとんど理想的な適合はまたキーとしての役割を果たす。

【0005】 TFT-LCDパネルの主な欠点は明るい

バックライトが必要なことである。これはTFT-LCDの透過係数が、特にカラーパネルで小さいためである。典型的には透過係数は約2-3パーセントである(S. MorozumiによるAdvances in Electronics and Electron Physics, P. W. Hawkes編集, Vol. 77, Academic Press 1990を参照)。バックライト付きのTFT-LCDパネルに対する電力消費はかなりのものであり、バッテリー作動を必要とする携帯型表示器の応用に対して逆行するように影響する。

【0006】バックライトの必要性はまたフラットパネルの小型化を損なう。例えばパネルの深さはバックライトユニットを収納するために増加されなければならない。典型的な管状の冷陰極ランプを用いると、付加的な深さは約3/4から1インチである。バックライトはまたFPDに余計な重さを加える。上記の制限に対する理想的な解決はバックライトの必要を除去する低電力放射表示器である。特に魅力的な候補は薄膜トランジスタエレクトロルミネセンス(TFT-EL)表示器である。TFT-EL表示器ではそれぞれの画素は光を放射するようアドレスされ、補助のバックライトは必要でない。TFT-EL方式はFischerにより1971年に提案された(A. G. FischerによるIEEE Trans. Electron Devices, 802 (971)を参照)。Fischerの方式の粉末化されたZnSはEL媒体として用いられている。

【0007】1975年に成功したプロトタイプのパネル(TFT-ELパネル(6"))はZnSをEL要素として、CdSeをTFT材料として用いるBrody等により作られたと報告された(T. P. Brody, F. C. Luo, A. P. Szepesi, D. H. Davies等によるIEEE Trans. Electron Devices, 22, 739 (1975)を参照)。ZnS-ELが百ボルト以上の高駆動電圧を必要とするのでスイッチングCdSe TFT要素はそのような高電圧振動を扱うよう設計されねばならない。それで高電圧TFTの信頼性は疑わしくなった。究極的にはZnSに基づくTFT-ELはTFT-LCDとの競争に成功しなかった。TFT-EL技術を記載するアメリカ国特許は以下の通りである：第3807037号、第3885196号、第3913090号、第4006383号、第4042854号、第4523189号、第4602192号。

【0008】近年有機EL材料はデバイス化されてきた。これらの材料はそれ自体をTFT-ELデバイス内の表示媒体に対する候補として示唆する(C. W. Tang, S. A. VanSlykeによるAppl. Phys. Lett., 51, 913 (1987)及びC. W. Tang, S. A. VanSlyke, C. H. C

henによるJ. Appl. Phys., 65, 3610 (1989)を参照)。有機EL媒体は2つの重要な利点を有する：それらはより高い効率を有する；それらは低い電圧要求を有する。後者の特性は他の薄膜放射デバイスと異なる。ELが有機材料であるTFT-ELデバイスの開示は以下のものである：アメリカ国特許第5,073,446号、第5,047,687号、第5,059,861号；第5,294,870号、第5,151,629号、第5,276,380号、第5,061,569号、第4,720,432号、第4,539,507号、第5,150,006号、第4,950,950号、第4,356,429号。

【0009】TFTに対してそれを理想的にする有機EL材料の特定の特性は以下のように要約される：

1) 低電圧駆動。典型的には有機ELセルは光出力レベルとセルインピーダンスに依存して4から10ボルトの範囲の電圧を要する。約20fLの輝度を作るために要求される電圧は約5ボルトである。この低電圧は高電圧TFTに対する要求が除去される故にTFT-ELパネルに対して非常に魅力的である。更にまた有機ELセルはDC又はACにより駆動されうる。結果として駆動回路はより複雑でなく、より高価でない。

2) 高効率。有機ELセルの蛍光効率はワット当たり4ルーメンの高さである。20fLの輝度を作るためにELセルを駆動する電流密度は約1mA/cm²である。100%デューティの励起を仮定すると400cm²のフルページパネルを駆動するために必要な電力は約2.0ワットにすぎない。電力要求はフラットパネル表示器の携帯性基準に確かに合致する。

3) 低温度での製造。有機ELデバイスは概略室温で製造されうる。これは高温(>300度C)プロセスを要求する無機放射デバイスに比べて顕著な利点である。無機ELデバイスを作るのに要求される高温プロセスはTFTとは両立しない。

【0010】有機ELパネルに対する最も簡単な駆動は2組の直交する電極(行と列)間にサンドイッチされた有機表示媒体を有することである。この2端子方式ではEL素子は表示器とスイッチング機能の両方を提供する。有機EL素子のダイオードのような非線形電流-電圧特性は原理的にはアドレッシングのこのモードで高い度合いの多重化を許容する。しかしながら有機ELに関する2端子方式の有用性を制限する大きな要因が幾つかある：

1) メモリの欠如。有機ELの立ち上がり、立ち下がり時間は非常に速く、マイクロ秒のオーダーであり、それは真性(intrinsic)メモリを有さない。斯くして直接アドレッシング方法を用いて、選択された列のEL素子はパネル内のスキャン列の数に比例する瞬間の輝度を生ずるよう駆動されなければならない。パネルの大きさに依存してこの瞬間の輝度は達成するのが困難

である。例えば1/60秒のフレームレートで動作する1000スキャン列のパネルを考えてみる。列当たりの許容される休止時間は $17\mu\text{s}$ である。例えば20F1の時間平均された輝度を得るためには列休止時間中の瞬間輝度は千倍高くなければならず、すなわち20000F1であり、これは約 $1\text{A}/\text{cm}^2$ の高電流密度と約15-20ボルトの電圧で有機ELセルを動作することによってのみ得られる極端な輝度である。このような極端な駆動条件の下でのセル動作の長期間の信頼性は疑わしい。

2) 均一性。EL素子により要求される電流は行と列のバスを介して供給される。瞬時の高電流故にこれらのバスに沿ったIR電位の降下はEL駆動電圧と比較して顕著ではない。ELの輝度-電圧特性は非線形である故に、バスに沿った電位の変化は不均一な光出力を生ずる。

【0011】 $200\mu\text{x}200\mu$ の画素ピッチを有し、0.5の動作/実効領域比の1000行と1000列を有するパネルを考える。列電極が10オーム/平方シート(Ω/\square)の抵抗のインジウム錫酸化物(ITO)であると仮定すると全体のITOバスラインの抵抗は少なくとも10000オームである。 $800\mu\text{A}$ ($2\text{A}/\text{cm}^2$)の瞬間画素電流に対するこのバスラインに沿ったIR降下は8ボルト以上である。一定の電流源が駆動方式内に設けられることなしにITOバスに沿ったそのような大きな電位降下はパネル内で許容できない不均一な光放射を引き起こす。どのような場合でもバス内の抵抗電力損失は無駄である。類似の解析は休止時間中に画素の行全体へ運ばれた全電流、即ち1000列のパネルに対して0.8Aを搬送する付加的な負荷を有する行電極バスに対してなされる。シート抵抗が約0.028オーム/平方の $1\mu\text{m}$ 厚さのアルミニウムバスの棒を仮定すると得られたIR降下は約11ボルトであり、これはまた許容され得ない。

3) 電極パターン化。陽極-インジウム錫酸化物の直交電極の一つの組は従来技術のフォトリソグラフィの方法でパターン化される。しかしながら電極の他の組のパターン化は特に有機ELに対して大きな困難が現れる。陽極は4eVより小さい仕事関数を有する金属で作られねばならず、好ましくは銀又はアルミニウムのような他の金属と合金されたマグネシウムである(Tang等によるアメリカ国特許第4885432号を参照)。有機層の上面に堆積されたマグネシウムに基づいた合金の陽極はフォトレジストを含むどのような従来技術の手段によっても容易にはパターン化され得ない。ELセル上に有機溶剤からフォトレジストを適用するプロセスはマグネシウムに基づく合金層の下に溶解する有機層に有害に影響する。これは基板から有機層の層間剥離を引き起こす。

【0012】他の困難は湿度に対する陽極の極度の敏感

さである。フォトレジストがELセルの有機層を攪乱することなくうまく適用され、展開されたとしても、酸性溶液中のマグネシウムに基づく合金の陽極をエッチングするプロセスは陽極を酸化し、黒い点を作りやすい。

【0013】

【発明が解決しようとする課題】本発明は有機材料がEL媒体として用いられる能動マトリックス4端子TFTE-ELデバイスを提供する。

【0014】

【課題を解決するための手段】そのデバイスは基板上に配置された2つのTFTEと記憶コンデンサと光放射有機ELパッドとからなる。ELパッドは第二のTFTEのドレインに電気的に接続される。第一のTFTEは第二のTFTEのゲート電極に電気的に接続され、これは次にコンデンサに電気的に接続され、それにより励起信号に続いて第二のTFTEが信号間でELパッドに対して一定に近い電流を供給することを可能にする。本発明のTFTE-ELデバイスは典型的にはフラットパネル表示器内で形成される画素であり、好ましくはEL陽極が画素全てを横切る連続した層である。

【0015】本発明のTFTE-有機ELデバイスは以下に示すような他段階プロセスで形成される：第一の薄膜トランジスタ(TFTE1)は基板の上面上に配置される。TFTE1はソース電極とドレイン電極とゲート誘電体とゲート電極とからなり；ゲート電極はゲートバスの部分からなる。TFTE1のソース電極は電気的にソースバスと接続される。

【0016】第二の薄膜トランジスタ(TFTE2)はまた基板の上面上に配置され、TFTE2はまたソース電極とドレイン電極とゲート誘電体とゲート電極とからなる。TFTE2のゲート電極は第一の薄膜トランジスタのドレイン電極と電気的に接続される。記憶コンデンサはまた基板の上面上に配置される。動作中にこのコンデンサはTFTE1を介して励起信号ソースから充電され、休止時間中にTFTE2のゲート電極に一定に近い電位を供給するために放電する。

【0017】陽極層はTFTE2のドレイン電極に電気的に接続される。基板を通して光が放射される典型的な応用では表示器はインジウム錫酸化物のような透明な材料である。誘電パシベーション層は少なくともTFTE1のソース上に、好ましくはデバイスの表面全体上に堆積される。誘電パシベーション層は表示アノード上に開口を設けるためにエッチングされる。

【0018】有機エレクトロルミネセンス層はアノード層の上面上に直接配置される。続いてカソード層は有機エレクトロルミネセンス層の上面上に直接堆積される。好ましい実施例では本発明のTFTE-ELデバイスは低温(即ち600度C以下)結晶化及びアニーリング段階、水素パシベーション、及び従来技術のパターン技術と結合されて低圧及びプラズマ増強化学蒸着を用いる方

法により作られる。

【0019】薄膜トランジスタは好ましくは以下の多段階プロセスにより同時に形成される：多結晶シリコンアイランド内にパターン化されたシリコンを堆積し；二酸化シリコンゲート電極を化学蒸着し；イオンインプラントの後でソース、ドレイン、ゲート電極はエッチ薄膜トランジスタ上に形成されるよう自己整列されたゲート電極を形成するためにパターン化される他の多結晶シリコン層を堆積する。

【0020】多結晶シリコン及び二酸化シリコンからなる薄膜トランジスタを有する画素の構成はデバイス性能、安定性、再現性、他のTFT上でのプロセス効率の向上をもたらす。比較するとCdSe及びアモルファスシリコンからなるTFTは低易動度と閾値ドリフトの影響を被る。

【0021】

【発明の実施の形態】図1は能動マトリックス4端子TFT-ELデバイスの概略図を示す。各画素の素子は2つのTFTと記憶コンデンサとEL素子とを含む。4端子方式の主な特徴はEL励起信号からのアドレッシング信号を分離する能力である。EL素子は論理TFT (T1) を介して選択され、EL素子に対する励起電力は電力TFT (T2) により制御される。記憶コンデンサはそれがいったん選択されたアドレスされたEL素子に励起電力を留めることを可能にする。斯くして回路はEL素子がアドレッシングに対して割り当てられた時間を無視して100%に近いデューティサイクルで動作することを許容する。

【0022】本発明のエレクトロルミネセンスデバイスの構造は図2、3に示される。このデバイスの基板は絶縁及び好ましくは水晶又は低温度ガラスのような透明材料である。本明細書で用いられる透明という用語は表示デバイスで実際の使用に対して充分な光を透過する部品を意味する。例えば所望の周波数範囲で50%以上の光を透過する部品は透明と考えられる。低温度ガラスという用語は約600度C以上の温度で融解又は歪むガラスをいう。

【0023】図2に示されるTFT-ELデバイスではTFT1はソースバス（列電極）をデータラインとして及びゲートバス（行電極）をデータラインとして有する論理トランジスタである。TFT2はEL素子と直列のEL電力トランジスタである。記憶コンデンサはTFT1と直列である。EL素子の陽極はTFT2のドレインに接続される。

【0024】図2のTFT-ELの構成は図3から9の断面図に示される。図3から8に示される断面図は図2の線A-A'に沿ったものである。図9に示される断面図は図2の線B-B'に沿ったものである。第一のプロセス段階でポリシリコン層は透明で絶縁性の基板にわたり堆積され、ポリシリコン層はフォトリソグラフィによ

りアイランドにパターン化される（図4を参照）。基板は水晶のような結晶材料であるが、好ましくは低温度ガラスのようなより高価でない材料である。ガラス基板が用いられるときにはTFT-ELの製造全体がガラスの熔融又は歪みを回避し、能動領域内にドーパントの外側拡散（out-diffusion）を回避するために低プロセス温度で実施される。斯くしてガラス基板に対して全ての製造段階は1000°C以下、好ましくは600°C以下でなされなければならない。

【0025】次に絶縁ゲート材料42がポリシリコンアイランド上及び絶縁基板の表面にわたり堆積される。絶縁材料は好ましくはプラズマ増強CVD（PECVD）又は低圧CVD（LPCVD）のような化学蒸着（CVD）により堆積される二酸化シリコンである。好ましくはゲート酸化物絶縁層は約1000オングストロームの厚さである。

【0026】次の段階でシリコン44の層はゲート絶縁層上に堆積され、イオンインプラント後にソースとドレイン領域はポリシリコン領域内に形成されるようにポリシリコンアイランド上にフォトリソグラフィすることによりパターン化される。ゲート電極材料は好ましくはアモルファスシリコンから形成されたポリシリコンである。イオンインプラントは好ましくは砒素であるN型ドーパントで導電化される。ポリシリコンゲート電極はまたコンデンサの底部電極として供される（図9を参照）。本発明の好ましい実施例では薄膜トランジスタは二重（double）ゲート構造を用いていない。斯くして製造はより複雑でなく、より高価でない。ゲートバス46は絶縁層上で適用され、パターン化される。ゲートバスは好ましくは珪素化タングステン（WSi₂）のような金属珪素化物である。

【0027】次の段階では好ましくは二酸化シリコンである絶縁層はデバイスの表面全体にわたり適用される。接触孔54、56は第二の絶縁層内で切削され（図5を参照）、電極材料は薄膜トランジスタと接点を形成するよう適用される（図6、7を参照）。TFT2のソース領域に付けられた電極材料62はコンデンサの上面電極をまた形成する（図9を参照）。ソースバス及び接地バスはまた第二の絶縁層上に形成される（図2を参照）。透明電極材料72はTFT2のドレイン領域と接触し、好ましくはITOであり、これは有機エレクトロルミネセンス材料に対して陽極として設けられる。

【0028】次の段階では好ましくは二酸化シリコンである絶縁材料のパシベーション層74はデバイスの表面上に堆積される。パシベーション層はテーパ化された端76を離れたITOからエッチングされ、これは続いて適用される有機エレクトロルミネセンス層の接着を改善するよう供される。テーパ付端は信頼しうるデバイスを製造するために必要である。何故ならば本発明は典型的には150から200nmの厚さの比較的薄い有機EL

層を用いているからである。パシベーション層は典型的には約0.5から約1ミクロン厚である。斯くしてパシベーション層の端が陽極層に関して垂直又は鋭角を形成する場合には欠陥が有機EL層内の不連続により発生しやすい。欠陥を防止するためにパシベーション層はテーパー付端を有さねばならない。好ましくはパシベーション層は陽極層に関して10度から30度の角度でテーパー付けられる。

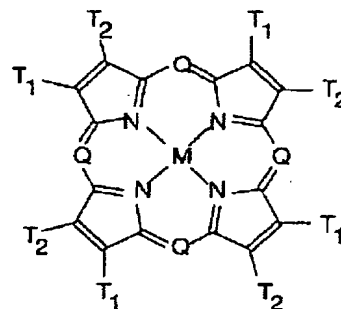
【0029】有機エレクトロルミネセンス層82はパシベーション層上及びEL陽極層上に堆積される。本発明の有機ELでの材料は、その開示は参考として引用される(ScozzafavaのEPA 349,265 (1990); Tangのアメリカ特許第4,356,429号; VanSlyke等のアメリカ特許第4,539,507号; VanSlyke等のアメリカ特許第4,720,432; Tang等のアメリカ特許第4,769,292号; Tang等のアメリカ特許第4,885,211号; Perry等のアメリカ特許第4,950,950; Littman等のアメリカ特許第5,059,861号; VanSlykeのアメリカ特許第5,047,687号; Scozzafava等のアメリカ特許第5,073,446号; VanSlyke等のアメリカ特許第5,059,862号; VanSlyke等のアメリカ特許第5,061,617号; VanSlykeのアメリカ特許第5,151,629号; Tang等のアメリカ特許第5,294,869号; Tang等のアメリカ特許第5,294,870号)のような従来技術の有機ELデバイスの形をも取りうる。EL層は陽極と接触する有機ホール注入及び移動帯と、有機ホール注入及び移動帯と接合を形成する電子注入及び移動帯とからなる。ホール注入及び移動帯は単一の材料又は複数の材料から形成され、陽極及び、ホール注入層と電子注入及び移動帯の間に介装される連続的なホール移動層と接触するホール注入層からなる。同様に電子注入及び移動帯は単一材料又は複数の材料から形成され、陽極及び、電子注入層とホール注入及び移動帯の間に介装される連続的な電子移動層と接触する電子注入層からなる。ホールと電子の再結合とルミネセンスは電子注入及び移動帯とホール注入及び移動帯の接合に隣接する電子注入及び移動帯内で発生する。有機EL層を形成

する化合物は典型的には蒸着により堆積されるが、他の従来技術によりまた堆積されうる。

【0030】好ましい実施例ではホール注入層からなる有機材料は以下のような一般的な式を有する:

【0031】

【化1】



【0032】ここで: QはN又はC-R

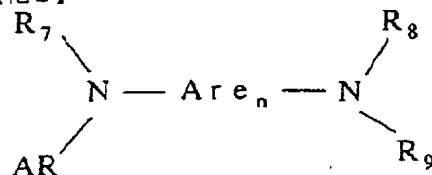
Mは金属、金属酸化物、又は金属ハロゲン化合物

T1、T2は水素を表すか又はアルキル又はハロゲンのような置換基を含む不飽和六員環を共に満たす。好ましいアルキル部分は約1から6の炭素原子を含む一方でフェニルは好ましいアリル部分を構成する。

【0033】好ましい実施例ではホール移動層は芳香族第三アミンである。芳香族第三アミンの好ましいサブクラスは以下の式を有するテトラアリルジアミンを含む:

【0034】

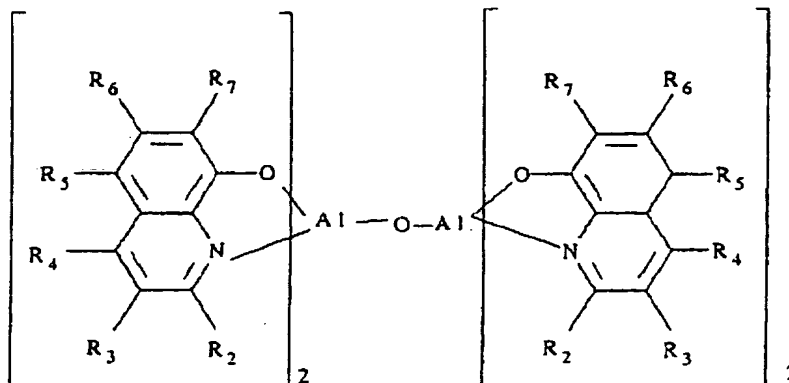
【化2】



【0035】ここでAreはアリレン群であり、nは1から4の整数であり、Ar、R7、R8、R9はそれぞれ選択されたアリル群である。好ましい実施例ではルミネセンス、電子注入及び移動帯は金属オキシノイド(oxinoid)化合物を含む。金属オキシノイド化合物の好ましい例は以下の一般的な式を有する:

【0036】

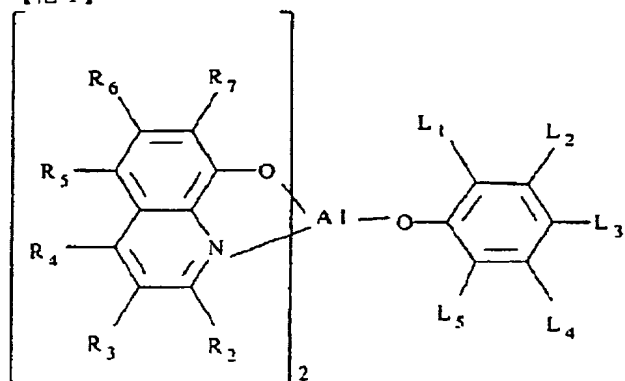
【化3】



【0037】ここで $R_2 - R_7$ は置き換え可能性を表す。他の好ましい実施例では金属オキシノイド化合物は以下の式を有する：

【0038】

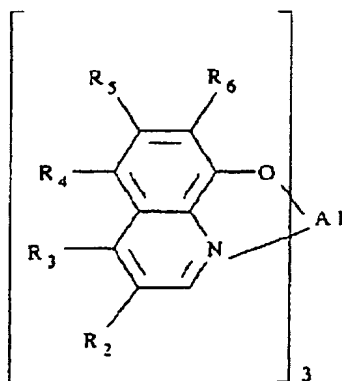
【化4】



【0039】ここで $R_2 - R_7$ は上記で定義されたものであり、 $L_1 - L_5$ は集中的に12又はより少ない炭素原子を含み、それぞれ別々に1から12の炭素原子の水素又は炭水化物群を表し、 L_1 、 L_2 は共に、又は L_2 、 L_3 は共に連合されたベンゾ環を形成しうる。他の好ましい実施例では金属オキシノイド化合物は以下の式を有する：

【0040】

【化5】



【0041】ここで $R_2 - R_6$ は水素又は他の置き換え可能性を表す。上記例は単にエレクトロルミネセンス層内で用いられるある好ましい有機材料を表すのみである。それらは本発明の視野を制限することを意図するものではなく、これは一般に有機エレクトロルミネセンス層を指示するものである。上記例からわかるように有機EL材料は有機リガンドを有する配位化合物を含む。本発明のTFT-ELデバイスはZnSのような純粋な無機材料を含まない。

【0042】次のプロセス段階ではEL陽極84はデバイスの表面上に堆積される。EL陽極はどのような導電性の材料でも良いが、好ましくは4eV以下の仕事関数

を有する材料で作られる（Tang等のアメリカ国特許第4885211号を参照）。低い仕事関数材料は陽極に好ましい。何故ならばそれらは電子移動層内に容易に電子を放出するからである。最も低い仕事関数の金属はアルカリ金属であるが、しかしながらそれらの空気中での不安定性はそれらの使用をある条件下で実際のでなくしている。陽極材料は典型的には化学蒸着により堆積されるが、他の適切堆積技術も適用可能である。EL陽極に対して特に好ましい材料は10：1（原子比で）マグネシウム：銀合金であることが見いだされた。好ましくは陽極は表示パネルの全表面にわたる連続層として適用される。他の実施例ではEL陽極は有機電子注入及び移

動帯に隣接した低い仕事関数の金属のより低い層からなり、低い仕事関数の金属をオーバーレイし、低い仕事関数の金属を酸素及び湿度から保護する保護層とからなる。選択的にパシベーション層はEL陽極層上に適用される。典型的には陽極材料は透明であり、陰極材料は不透明であり、それにより光は陽極材料を通して透過する。しかしながら代替実施例では光は陽極よりもむしろ陰極を等して放射される。この場合には陰極は光透過性であり、陽極は不透明である。光透過と技術的伝導性の実際的なバランスは典型的には5-25nmの範囲の厚さである。

【0043】本発明による薄膜トランジスタを製造する好ましい方法を以下に説明する。第一段階では2000±20オングストローム厚さのアモルファスシリコン膜は1023mTorrのプロセス圧力で反応性ガスとしてシランと共にLPCVDシステムないで550度Cで堆積される。この次にアモルファスシリコン膜を多結晶膜に結晶化するために真空中で550度Cで72時間低温アニールする。それからポリシリコンアイランドはプラズマ反応器内でSF₆とフレオン12の混合物と共にエッチングにより形成される。ポリシリコンアイランド上で能動層は1000±20オングストロームPECVD SiO₂ ゲート誘電層を堆積される。ゲート誘電層は350度Cで18分間450KHzの周波数で200Wの電力レベルで0.8Torrの圧力でプラズマ反応器内で5/4のN₂O/SiH₄比で堆積される。

【0044】次の段階ではアモルファスシリコン層はPECVDゲート絶縁層上に堆積され、第一の段階に対する上記と同じ条件を用いて多結晶シリコンに変換される。フォトリソは適用され、第二のポリシリコン層は続くイオンインプラント段階に対する自己整列構造を形成するようエッチングされる。第二のポリシリコン層は好ましくは約3000オングストローム厚さである。

【0045】イオンインプラントはソース、ドレイン、ゲート領域を同時にドーピングするために2X10¹⁵/cm²の線量で120KeVで砒素でドーピングすることにより実施される。ドーパントの活性化は窒素雰囲気中で600°Cで2時間実施される。次の段階では5000オングストローム厚さの二酸化シリコン層が従来技術の低温法で堆積される。アルミニウム接点は物理的蒸着により形成され、400度Cで13分間形成ガス(10% H₂, 90% N₂)内で焼結される。

【0046】最終的に薄膜トランジスタの水素パシベーションは電子サイクロトロン共鳴反応器(ECR)内で実施される。ECR水素プラズマ露出はマイクロ波レベル900W、周波数3.5GHzで1.2x10⁻⁴Torrの圧力でおこなわれた。水素パシベーションは30

$$\begin{aligned} \text{電力} &= 400 \text{ cm}^2 \times 10 \text{ v} \times 0.001 \text{ A/cm}^2 \\ &= 4 \text{ ワット} \end{aligned}$$

この電力消費はTFTによる電力消費を越える。TFT

0度Cの基板温度で15分間なされる。この過程は低閾値電圧と高効率キャリア移動度と優秀なオン/オフ比を有する薄膜トランジスタを生ずる。

【0047】本発明の特性の例として以下のTFT-ELパネルに対する駆動要求を考える：

行の数	=	1000
列の数	=	1000
画素寸法	=	200 μm x 200 μm
EL充填係数	=	50%
フレーム時間	=	17 ms
行休止時間	=	17 μs
平均輝度	=	20 fL
EL画素電流	=	0.8 μA
デューティサイクル	=	100%
EL電力源	=	10 v rms

これらの駆動要求はTFT及び記憶コンデンサに対する以下の特性により適合される：

TFT1

ゲート電圧	=	10 V
ソース電圧	=	10 V
オン電流	=	2 μA
オフ電流	=	10 ⁻¹¹ A

TFT2

ゲート電圧	=	10 V
ソース電圧	=	10 V
オン電流	=	2 x EL画素電流 = 1.6 μA
オフ電流	=	1 nA

記憶コンデンサ

大きさ	=	1 pf
-----	---	------

TFT1に対するオン電流要求はTFT2をオンするために適切な電圧(10V)に対して行休止時間(17 μs)中に記憶コンデンサを充電するのに充分大きいことである。TFT1に対するオフ電流要求はフレーム期間(17 ms)中のコンデンサ(及びTFT2ゲート)上の電圧降下が2%以下であるために充分小さいことである。

【0048】TFT2に対するオン電流はEL画素電流の2倍であり、1.6 μAである。この2倍の係数は動作と共に有機EL素子の徐々の劣化に対する補正のための適切な駆動電流を許容するためである。TFT2のオフ電流はパネルのコントラストに影響する。1 nAのオフ電流は点灯されたEL素子と点灯されないそれとの間の500倍以上のオン/オフコントラスト比を提供する。パネルの実際のコントラスト比はより低く環境照明要因に依存する。

【0049】400 cm²のフルページパネルに対してEL素子単独による電力要求は約4ワットである。

2はEL素子と直列である故にTFT2を横切るどのよ

うなソースドレイン電圧降下もTFT2内の実質的な電力損失を生ずる。5ボルトのソースドレイン電圧を仮定すると、TFT2での全電力損失は2ワットである。TFT1に対する電力消費は 1000×1000 パネルに対して1ワットより大きくないように推定される。行（ゲート）駆動に対して必要な電力は数十ミリワットのオーダーであって無視可能であり、列（ソース）駆動に対する電力は0.5ワットのオーダーである

(S. MorozumiのAdvances in Electronics and Electron Physics、P. W. Hawkes編集、Vol. 77, Academic Press, 1990を参照)。斯くしてフルページTFT-ELパネルに対する全電力消費は約7ワットである。現実的には平均電力消費はもっとより小さい。何故ならばELスクリーンは平均的には100%使用されないからである。

【0050】本発明のTFT-ELパネルはTFT-LCDに対する電力要求に関して2つの重要な利点を有する。第一にTFT-EL電力要求は白黒又は同様なルミネセンス効率を有するカラー材料で供される多色であるかに比較的独立である。対照的にTFT-LCDカラーパネルは白黒に比べてはるかに高い電力を要求する。何故ならば透過係数はカラーフィルタ配列によるカラー化されたパネル内で大幅に減少するからである。第二にLCDバックライトはスクリーン利用係数に無関係に一定でなければならないことである。これに対してTFT-EL電力消費はこの利用係数に高度に依存する。

【0051】平均電力消費は更に小さい。何故ならばELスクリーンの100%以下は典型的な応用ではどのような所定の時間でも放射するからである。本発明は好ましい実施例を特に参照して詳細に説明されているが種々の変更及び改良は本発明の精神及び範囲内で有効である。

【0052】

【発明の効果】本発明のTFT-有機ELデバイスの実際のパネル構成と駆動配置の幾つかの重要な利点は以下の通りである：

- 1) 有機ELパッドと陽極の両方は連続した層である故に画素解像度はTFTの特性大きさと関連した表示ITOパッドによりのみ決定され、ELセルの有機化合物又は陽極と独立である。
- 2) 陽極は連続であり、全ての画素に共通である。それは画素の解像力に対してパターン化を必要としない。故に2端子方式での陽極をパターン化する困難は除去された。
- 3) スキャン行の数はアドレス及び励起信号が分離さ

れるのでフレーム周期内の短い行休止時間によりもはや制限されない。各スキャン行は100%デューティ係数の近くで動作される。高解像度はスキャン行の多数が均一な強度を維持する間に表示パネル内で用いられ得る。

4) 有機EL素子の信頼性は増強される。何故ならばそれは100%デューティ係数で低電流密度(1 mA/cm^2)及び電圧(5V)で動作するからである。

5) EL素子を駆動するために必要とされる共通陽極と低電流密度を用いる故にバスに沿ったIR電位低下は顕著ではない。故にパネルの均一性はパネルの大きさにより顕著に影響されない。

【図面の簡単な説明】

【図1】能動マトリックス4端子TFT-ELデバイスの概略図を示す。

【図2】本発明の4端子TFT-ELデバイスの平面図である。

【図3】図2の線A-A'に沿った断面図である。

【図4】イオンインプラントに対する自己整列TFT構造を形成するプロセスを示す線A-A'に沿った断面図である。

【図5】薄膜トランジスタのソースとドレイン領域に対するパシベーション酸化層の堆積と接触切断を開口するプロセス段階を示す線A-A'に沿った断面図である。

【図6】アルミニウム電極の堆積を示す線A-A'に沿った断面図である。

【図7】表示陽極と表示陽極の表面から部分的にエッチングされたパシベーション層との堆積を示す線A-A'に沿った断面図である。

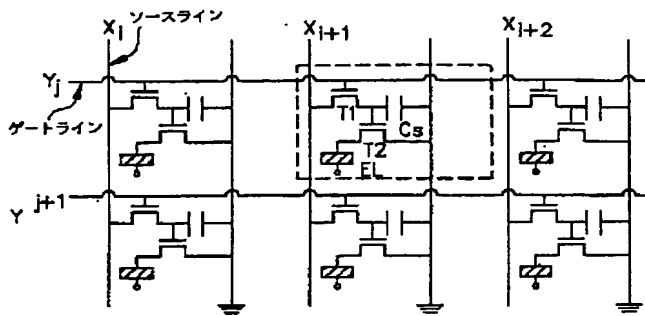
【図8】エレクトロルミネセンスと陽極の堆積の段階を示す線A-A'に沿った断面図である。

【図9】図2の線B-B'に沿った断面図である。

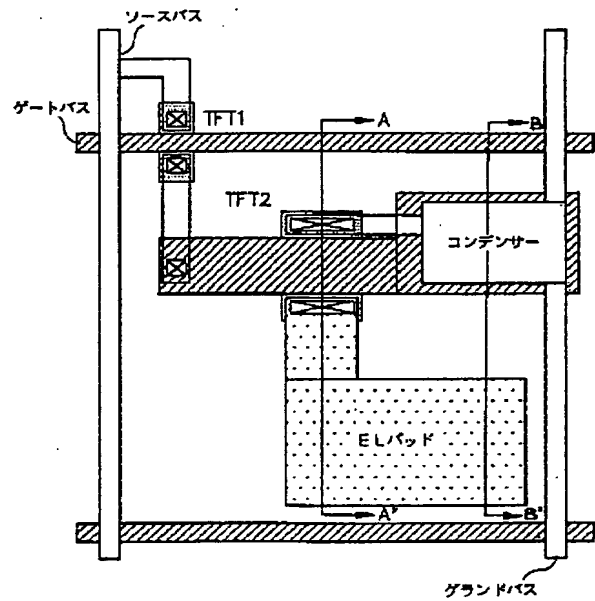
【符号の説明】

- T₁, T₂ 薄膜トランジスタ
- C_S コンデンサー
- EL エレクトロルミネセンス層
- 42 ゲート材料
- 44 シリコン層
- 46 ゲートバス
- 52 絶縁層
- 54, 56 接触孔
- 62, 72 電極材料
- 74 パシベーション層
- 76 テーパ付端
- 82 EL層
- 84 EL陰極

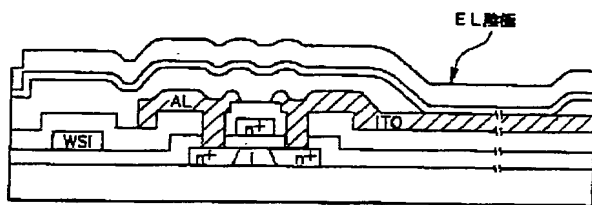
【図 1】



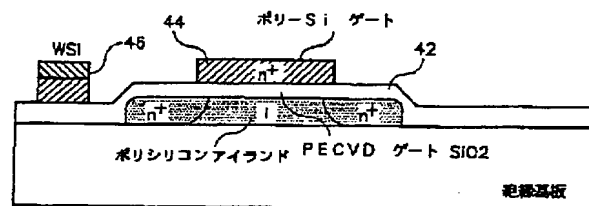
【図 2】



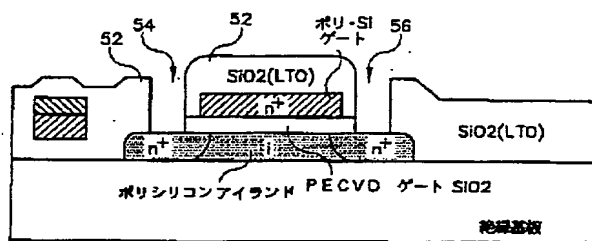
【図 3】



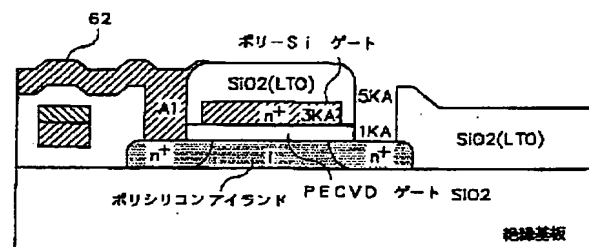
【図 4】



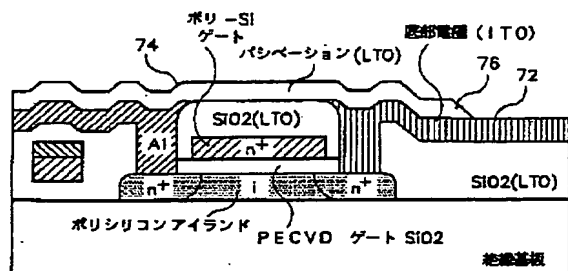
【図 5】



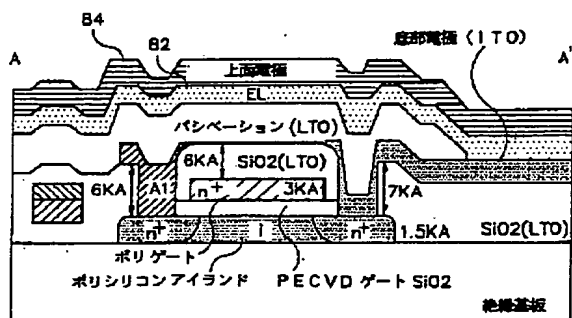
【図 6】



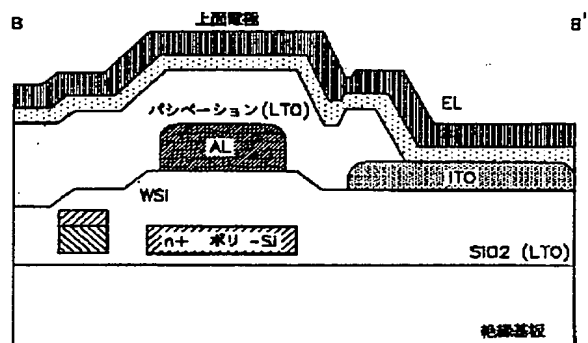
【図 7】



【図 8】



【図 9】



THIS PAGE IS BLANK